

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-141056 ✓  
 (43)Date of publication of application : 20.05.1994 ✓

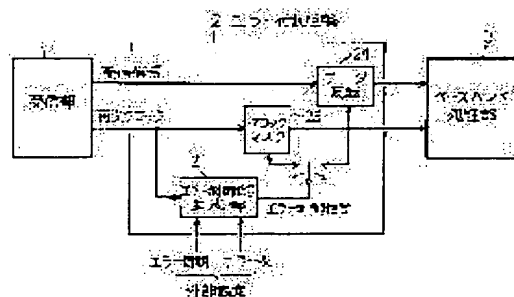
(51)Int.Cl. H04L 29/14  
 H04L 1/00  
 H04L 1/24

(21)Application number : 04-289191 ✓ (71)Applicant : FUJITSU LTD ✓  
 (22)Date of filing : 28.10.1992 ✓ (72)Inventor : ITO HIDETOSHI ✓

**(54) ERROR ADDING CIRCUIT****(57)Abstract:**

**PURPOSE:** To easily test the synchronization detection protective function and the error correction function of a receiver by adding a simple circuit capable of adding a frame synchronous pattern error and the reception data error of an optional error rate on a receiver side.

**CONSTITUTION:** An error signal generation part 21 generates the error control signal of an error length set by set synchronization and a data inversion part 24 inverts reception data for the period of time when the error control signal is active and generates cyclic errors to the reception data inputted to a base band processing part 3. Then, the error bit of the error rate equal to the ability of the error correction function integrated in a reception part 1 is added and the error correction function is tested. Also, a clock masking part 25 prevents the passage of a reproducing clock while the error control signal is active and generates a toothless clock. Since a reception frame is taken in by the toothless clock, the processing part 3 can make the error in a frame bit and test the synchronization protective function.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

**Japanese Patent Publication Laid-Open No. 06(1994)-141056**

**\* NOTICES \***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. \*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

**[Claim(s)]**

[Claim 1] Receive section of a digital radio receiving set (1) Baseband processing section (3) It is prepared in between. The error control signal generation section which can specify a period and error length from the exterior, carries out counting of the playback clock, and outputs the error control signal of assignment length an assignment period (21), The data pars inflexa which reverses the value of an input signal while this error control signal is active (24), While this error control signal is active, provide the KURROKU mask section (25) which carries out the mask of the playback clock, and it is constituted. The error addition circuit characterized by adding an error bit to an input signal at the rate of an error ratio of arbitration, or misguiding a frame synchro pattern, and enabling it to perform the trial of the error correction function of a receiving set, or a synchronous detection protection feature.

**[Detailed Description of the Invention]**

[0001]

[Industrial Application] By adding some function to the digital PLL circuit included in the digital radio receiving set etc., this invention adds various errors to an input signal, and relates to the error addition circuit which enables the trial of the error correction function of a receiving set, and a synchronous detection protection feature.

[0002] In recent years, in digital radio equipment, with establishment of a coding theory, and improvement in the speed of a digital processing technique, advanced error correction capacity is given and circuit quality is raised. Moreover, before performing an error correction, frame synchronization needed to be made to establish, and consideration is paid to a setup of an alignment pattern, and a protection number of stages for incorrect synchronous prevention.

[0003] For this reason, a method of examining simply and strictly the two above-mentioned functions with which a receiving set is equipped is desired.

[0004]

[Description of the Prior Art] It is drawing for explaining a Prior art to drawing 4 . As shown in drawing 4 , in digital radio communication system, transmit data adds addition and the error correcting code bit of a frame synchro pattern by the baseband processing section 6 of a sending

set 5, it is generated by the transmitting frame, and the transmitting section 7 modulates and sends out a carrier with this baseband signaling.

[0005] It gets over in a receive section 1, and a receiving set 4 is changed to baseband signaling, and is passed to the baseband processing section 3 with a playback clock. The baseband processing section 3 has a synchronous detecting element and the error correction section, extracts a frame synchro pattern bit by the synchronous detecting element, takes frame synchronization, and generates the timing for incorporating a data bit correctly. If the error correction section has a bit error within predetermined error RERATO in the input signal to which it restored, it will perform an error correction and will output right transmit data.

[0006] Although a synchronous detecting element is in a frame synchronization condition, in order to prevent judging it as step-out by the bit error of a frame synchro pattern etc., and starting alignment recovery actuation immediately The forward alignment guard time which is not judged to be step-out until the inequality of an alignment pattern carries out count continuation of predetermined, In order to prevent the false synchronization which judges accidentally the pattern of alignment pattern resemblance included in data in an alignment recovery process to be the alignment pattern of normal, when coincidence of an alignment pattern carries out count continuation of predetermined, it has the function to perform backward alignment guard time to which it is supposed that the synchronization was able to be taken.

[0007] Moreover, with the error correcting code added by the transmitting side, if the error correction section is less than a predetermined error rate, it has the error correction function to detect and correct the bit error generated in the wireless section.

[0008] The trial which investigates whether the above-mentioned error correction function which the baseband processing section of a receiving set builds in, and a synchronous detection protection feature operate normally was conventionally performed as the following. That is, conventionally, a sending set and a receiving set are linked directly and the stimulus of baseband is inputted from transmitting-side 8T of an error rate measuring instrument through a sending set.

[0009] And before this side of the transmitting baseband processing section 6 of a sending set, or the transmitting section 7, the bit error was added, and it transmitted, and was examining by reproducing transmit data with a receiving set 4, and comparing with transmit data by receiving-side 8T of an error rate measuring instrument.

[0010]

[Problem(s) to be Solved by the Invention] In order to examine the error correction function and synchronous detection function of the above-mentioned receiving set machine, it is necessary to input the received data of various kinds of error rates, and the data which added the frame synchro pattern error. For this reason, the error needed to be added by the transmitting side and there was a problem that it was troublesome to make arbitration mistake an error rate and a frame synchro pattern by the special thing required [ for a sending set ] next door and the transmitting side.

[0011] This invention was created in view of the above-mentioned trouble, adds the simple circuit which can add the received-data error and frame synchro pattern error of an error rate of arbitration to a receiving set side, and it aims at enabling it to perform easily the trial of the error correction function of a receiving set, or a synchronous detection protection feature.

[0012]

[Means for Solving the Problem] Drawing 1 is the principle block diagram of the error addition circuit of this invention. The above-mentioned technical problem is prepared between the receive section 1 of a digital radio receiving set, and the baseband processing section 3, as shown in drawing 1. The error control signal generation section 21 which can specify a period and error length from the exterior, carries out counting of the playback clock, and outputs the error control signal of assignment length an assignment period, The data pars inflexa 24 which reverses the value of an input signal while an error control signal is active, While an error control signal is active, the KURROKU mask section 25 which carries out the mask of the playback clock is provided, and it is constituted. Add an error bit to an input signal at the rate of an error ratio of arbitration, or A frame synchro pattern is misguided and the error addition circuit of this invention characterized by enabling it to perform the trial of the error correction function of a receiving set or a synchronous detection protection feature is solved.

[0013]

[Function] The error signal generation section generates the error control signal of error length set up with the set-up period. Since an error control signal reverses an active period and received data, a periodic bit error generates the data pars inflexa in the received data inputted into the baseband processing section. Since the cycle period of this bit error and the number of bit errors per period can be set as arbitration, if input received data are normally reproduced when the error bit of an error rate equal to the capacity of the error correction function included in the receiving set is added, it can examine that the error correction function is operating normally.

[0014] Moreover, since the clock mask section prevents passage of a clock while an error control signal is active, the gear-tooth omission clock which made KURROKU the gear-tooth omission with the period of arbitration is generated. Since received data are incorporated with this gear-tooth omission clock, the frame from which the frame phase shifted to the before side by the gear-tooth omission after the gear-tooth omission inputs, and the framing bit of normal does not come to a framing bit location by the baseband processing section. It is equivalent to this having added the error to the framing bit equivalent, since this period is moreover changed by arbitration, a framing bit can be misguided covering an arbitration frame number, and the trial of a synchronous protection feature becomes possible [ carrying out easily ].

[0015]

[Example] An accompanying drawing explains this invention to a detail below. Drawing 2 is the example block diagram of the error addition circuit of this invention, and drawing 3 is the timing diagram of operation. In addition, the same sign expresses the same object through a complete

diagram.

[0016] In drawing, 1 is DPLL (Digital Phase Lock Loop), and it is the clock CLK for playback from an input signal. It generates. The input signal to which it restored to baseband signaling in the receive section of the preceding paragraph is the playback clock CLK at D-FF11. It outputs synchronously. ( Drawing 3 (a))

2 is the error addition circuit of this invention, 3 is the latter baseband processing section, and it has the error correction section and the synchronous detecting element which are set as the experimental object.

[0017] the error addition circuit 2 -- the error signal generation section 21, the error period configuration switch 22 and the error length configuration switch 23, the EX-OR gate 24, the AND gate 25, the data error addition switch SW1, and framing error addition switch SW2 from -- it becomes. the error signal generation section 21 -- two counters 21a and 21b SR-FF21c from -- becoming -- playback clock CLK It has inputted. Counter 21a The numeric value which is an object for an error period setup and is given from a configuration switch 22 is set up as the number of \*\*, and it is the playback clock CLK. It is Carrier CRY whenever it reaches the number of \*\* set up by carrying out counting. It takes out. This carrier pulse is inputted into the reset terminal of second counter 21b. The second counter 21b The number of \*\* is set as the numeric value inputted from the error length configuration switch 24, a playback clock is counted up by the reset signal, and a carrier will be taken out if it becomes the set-up number of \*\*. SR-FF21c The first counter 21a from -- whenever a carry is given to set input R, it sets -- having -- the second counter 21b the bit length which had the period set up by the error rate configuration switch as an output, and was set up by the error length configuration switch since it was reset on the carrier -- "H" The becoming error control signal EC is outputted. ( Drawing 3 (b))

The error control signal EC dichotomizes and one side is the switch SW1 for data error addition. After minding, inputting into the EX-OR gate 24 which reverses a received-data signal and reversing another side through the inverter 26, it is the switch SW2 for framing error addition. It inputs into the AND gate 25 which minds and carries out the mask of the playback clock.

[0018] Switch SW1 for data error addition in the time of employment a It is set to the side and is always "L" in the EX-OR gate 24. Since level inputs, received data are supplied to the baseband processing section without passing as it is and adding an error. Switch SW1 When set to the b side, the error control signal EC is "H". The signal with which received data were reversed with the signal and the error bit was added is supplied to the baseband processing section 3 in between. ( Drawing 3 (c))

Moreover, frame error addition switch SW2 When it sets to the a side, a playback clock is SW2, although normal actuation is performed since it passes without a gear-tooth omission through the AND gate 25 and the baseband processing section is supplied. When it sets to the b side, the error control signal EC is "H". In between, a playback clock is prevented by the AN gate 25 and gear-tooth omission clock CLK' is supplied to the baseband processing section. (Drawing 3 (f)) the

incorporation of the input signal in the latter baseband processing section -- playback clock CLK or since it is carried out in falling of CLK', data bit B4 of the timing of a gear-tooth omission clock incorporates -- not having -- future frames -- 1 Since it shifts ahead [ bit ], it means that the error was added to the frame synchro pattern equivalent.

[0019] Next, the test method of the receiving set by the above-mentioned error addition circuit is explained. An error correction function is first set to a trial, and it is SW1. The data reproduced with the receiving set are compared setting to the b side, linking a sending set with a receiving set directly, giving the predetermined transmit data for a trial to a sending set, and changing a setting period or error die length suitably. The suitable bit of the receiving frames is [ a value ] reversed an assignment period, and an error arises in transmit data. If the error number of bits in one frame is less than correction capacity, transmit data will be correctly corrected by the error correction function. Therefore, if right data are obtained below by the predetermined bit error rate, it turns out that the error correction function is operating normally.

[0020] Next, the test method of a synchronous detection protection feature is explained. Switch SW2 If it sets to the error addition side b, the mask of the clock will be carried out a setting period, and a gear-tooth omission clock will be generated. Since incorporation of the received data in the baseband processing section is performed by the gear-tooth omission clock, the received data inputted into the timing of a gear-tooth omission are lacked, and a receiving bit string moves them to the 1-bit front. Since the receiving frame from which 1 bit FUSAMU phase shifted to the front to the frame detection phase till then inputs into the synchronous detecting element of baseband processing circles by this and the data bit of 1-bit back comes to a framing bit detection location from a framing bit, it becomes a framing bit error equivalent and the data with which a framing bit does not exist in the framing bit location in a synchronous frame phase carry out a continuation input henceforth.

[0021] In the protection section of a frame detecting element, continuation of only the count of a forward-alignment-guard-time stage of the frame which the framing bit mistook performs alignment recovery actuation which newly shifts a framing bit detection location and looks for the location of a framing bit. And if an alignment pattern will be repeatedly detected in the location if an alignment pattern is found, and the count of detection of an alignment pattern reaches a backward-alignment-guard-time number of stages, it will be in the condition that the synchronization was able to be taken and transmit data will be reproduced correctly. Now, alignment recovery is performed before the gear-tooth omission of a clock occurs [ this clock gear-tooth omission period ] again in the degree of a certain gear-tooth omission timing in beyond the period of a forward-alignment-guard-time number-of-stages + synchronous detection level-luffing-motion time amount + backward-alignment-guard-time number of stages. On the other hand, when \*\* and a gear-tooth omission period are these below periods, since a frame phase shifts ahead [ 1 bit ] again before alignment recovery is performed, alignment recovery is not performed eternally. Thus, if the clock gear-tooth omission period to frame length is changed and a gear-tooth omission period is

changed to what frame period, it can examine whether a synchronous detecting element operates normally by investigating whether alignment recovery is made with the set-up forward-alignment-guard-time number-of-stages + synchronous detection level-luffing-motion time amount + backward-alignment-guard-time number of stages.

[0022] In addition, since all above-mentioned error addition circuits consist of digital circuits, it is easy to constitute on the same chip as the DPLL circuit constituted on LSI, and an error addition circuit can be realized, without complicating a receiving set.

[0023]

[Effect of the Invention] As explained above, according to this invention, it is effective in becoming possible to perform easily the trial of whether the error correction function and frame synchronization detection protection feature of a receiving set of a digital radio system operate normally only using a \*\*\*\*\* system.

[Brief Description of the Drawings]

[Drawing 1] The principle block diagram of the error addition circuit of this invention

[Drawing 2] The example block diagram of the error addition circuit of this invention

[Drawing 3] The timing diagram of drawing 2 of operation

[Drawing 4] Drawing for explaining a Prior art

[Description of Notations]

1 [ -- The data pars inflexa (EX-OR gate), 25 / -- The clock mask section (AND gate), 3 / -- Baseband processing section ] -- The DPLL section, 2 -- An error addition circuit, 21 -- The error control signal generation section, 24

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-141056

(43)公開日 平成6年(1994)5月20日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 L 29/14				
1/00	B	9371-5K		
1/24		4101-5K		
		8220-5K		
			H 0 4 L 13/ 00	3 1 5 Z

審査請求 未請求 請求項の数1(全 6 頁)

(21)出願番号 特願平4-289191

(22)出願日 平成4年(1992)10月28日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 伊藤 秀俊

宮城県仙台市青葉区一番町1丁目2番25号

富士通東北デジタル・テクノロジー株式

会社内

(74)代理人 弁理士 井桁 貞一

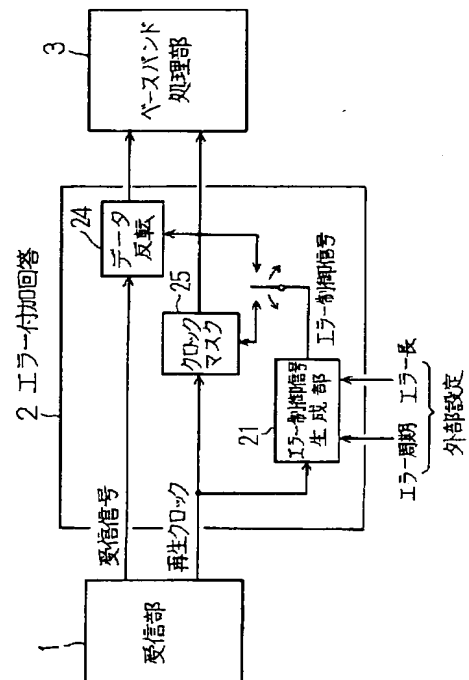
(54)【発明の名称】 エラー付加回路

(57)【要約】

【目的】 デジタル無線受信装置等に組み込まれるエラー付加回路に関し、受信信号に種々のエラーを付加して、受信装置の誤り訂正機能と同期検出保護機能の試験を可能とすることを目的とする。

【構成】 受信部1とベースバンド処理部3との間に設けられ、外部から周期とエラー長とを指定でき、再生クロックを計数して指定周期で指定長のエラー制御信号を出力するエラー制御信号生成部21と、エラー制御信号がアクティブの間、受信信号の値を反転させるデータ反転部24と、エラー制御信号がアクティブの間、再生クロックをマスクするクロックマスク部25とを具備して構成され受信信号に任意の誤り比率で誤りビットを付加したり、フレーム同期パターンを誤らせて、受信装置の誤り訂正機能や同期検出保護機能の試験が行えるようにした構成である。

本発明のエラー付加回路の原理構成図





1

## 【特許請求の範囲】

【請求項1】 デジタル無線受信装置の受信部(1)とベースバンド処理部(3)との間に設けられ、外部から周期とエラー長とを指定でき、再生クロックを計数して指定周期で指定長のエラー制御信号を出力するエラー制御信号生成部(21)と、該エラー制御信号がアクティブの間、受信信号の値を反転させるデータ反転部(24)と、該エラー制御信号がアクティブの間、再生クロックをマスクするクロックマスク部(25)とを具備して構成され、受信信号に任意の誤り比率で誤りビットを付加したり、フレーム同期パターンを誤らせて、受信装置の誤り訂正機能や同期検出保護機能の試験が行えるようにしたことを特徴とするエラー付加回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、デジタル無線受信装置等に組み込まれたデジタルPLL回路に若干の機能を付加することにより、受信信号に種々のエラーを付加して、受信装置の誤り訂正機能と同期検出保護機能の試験を可能とする誤り付加回路に関する。

【0002】 近年、デジタル無線装置においては、符号化理論の確立とデジタル処理技術の高速化に伴い、高度の誤り訂正能力を持たせ、回線品質を向上させている。また、誤り訂正を行う前にはフレーム同期を確立させる必要があり、誤同期防止のために同期パターンの設定や、保護段数に配慮を払っている。

【0003】 このため、受信装置が備える上記二つの機能を、簡単にかつ厳密に試験する方法が望まれている。

## 【0004】

【従来の技術】 図4に、従来の技術を説明するための図である。図4に示すように、デジタル無線通信システムでは、送信データは送信装置5のベースバンド処理部6により、フレーム同期パターンの付加や誤り訂正符号ビットを付加して送信フレームに生成され、送信部7はこのベースバンド信号でキャリアを変調して送出する。

【0005】 受信装置4は受信部1で復調してベースバンド信号になおし、再生クロックとともにベースバンド処理部3に渡す。ベースバンド処理部3は、同期検出部や誤り訂正部を有し、同期検出部でフレーム同期パターンビットを抽出してフレーム同期をとって、データビットを正しく取り込むためのタイミングを生成する。誤り訂正部は復調された受信信号に所定エラーレート以内のビット誤りがあれば誤り訂正を行って、正しい送信データを出力する。

【0006】 同期検出部は、フレーム同期状態にあるものにも拘わらずフレーム同期パターンのビット誤り等により同期外れと判断して直ぐに同期復帰動作に入ることを防止するために、同期パターンの不一致が所定回数継続するまで同期外れとは判断しない前方保護や、同期復帰

2

過程においてデータ中に含まれる同期パターン類似のパターンを誤って正規の同期パターンと判断する擬似同期を防止するために同期パターンの一致が所定回数継続したときに同期がとれたとする後方保護を行う機能を有している。

【0007】 また、誤り訂正部は送信側で付加された誤り訂正符号により、所定エラーレート以内ならば無線区間で発生したビット誤りを検出・訂正する誤り訂正機能を有している。

10 【0008】 受信装置のベースバンド処理部が内蔵する上記の誤り訂正機能、同期検出保護機能が正常に動作するかどうかを調べる試験は、従来は以下の如く行われた。即ち、従来は、送信装置と受信装置とを直結して、送信装置を介してエラーレート測定器の送信側8Tからベースバンドの試験信号を入力する。

【0009】 そして、送信装置の送信ベースバンド処理部6の手前か、または、送信部7の手前で、ビット誤りを付加して送信して、受信装置4で送信データを再生しエラーレート測定器の受信側8Tで送信データと比較することにより試験していた。

## 【0010】

【発明が解決しようとする課題】 上記受信装置機の誤り訂正機能と同期検出機能とを試験するためには各種のエラーレートの受信データや、フレーム同期パターン誤りを付加したデータを入力してやる必要がある。このため、送信側でエラーを付加してやる必要があり、送信装置に特殊なもの必要となり、また送信側でエラーレートやフレーム同期パターンを任意に誤らせるのは面倒であるという問題があった。

30 【0011】 本発明は上記問題点を鑑み創出されたもので、受信装置側に、任意のエラーレートの受信データ誤りや、フレーム同期パターン誤りを付加できる簡易な回路を付加して、受信装置の誤り訂正機能や同期検出保護機能の試験を容易に行えるようにすることを目的とする。

## 【0012】

【課題を解決するための手段】 図1は本発明のエラー付加回路の原理構成図である。上記課題は、図1に示す如く、デジタル無線受信装置の受信部1とベースバンド処理部3との間に設けられ、外部から周期とエラー長とを指定でき、再生クロックを計数して指定周期で指定長のエラー制御信号を出力するエラー制御信号生成部21と、エラー制御信号がアクティブの間、受信信号の値を反転させるデータ反転部24と、エラー制御信号がアクティブの間、再生クロックをマスクするクロックマスク部25とを具備して構成され受信信号に任意の誤り比率で誤りビットを付加したり、フレーム同期パターンを誤らせて、受信装置の誤り訂正機能や同期検出保護機能の試験が行えるようにしたことを特徴とする本発明のエラー付加回路により解決される。

## 【0013】

【作用】エラー信号生成部は設定された周期で設定されたエラー長のエラー制御信号を発生する。データ反転部はエラー制御信号がアクティブの期間、受信データを反転するのでベースバンド処理部に入力する受信データに周期的なビット誤りが発生する。このビット誤りの繰返し周期と1周期当たりのビット誤り数を任意に設定できるので、受信装置に組み込まれた誤り訂正機能の能力に等しい誤り率のエラービットを付加したときに正常に10 入力受信データを再生すれば、誤り訂正機能が正常に動作していることが試験できる。

【0014】また、クロックマスク部は、エラー制御信号がアクティブの間、クロックの通過を阻止するので任意の周期でクロックを歯抜けにした歯抜けクロックが生成される。ベースバンド処理部では、この歯抜けクロックで受信データを取り込むので、歯抜け以後フレーム位相が歯抜け分だけ前側にずれたフレームが入力し、フレームビット位置に正規のフレームビットが来ない。これは等価的にフレームビットにエラーを付加したことに相当し、しかもこの周期を任意に変えられるのでフレーム20 ビットを任意フレーム数にわたって誤らせることができ、同期保護機能の試験が容易に行うことが可能となる。

## 【0015】

【実施例】以下添付図面により本発明を詳細に説明する。図2は本発明のエラー付加回路の実施例構成図、図3はその動作タイムチャートである。なお全図を通じて同一符号は同一対象物を表す。

【0016】図において、1はDPLL (Digital Phase Lock Loop)で、受信信号から再生用のクロックCLKを生成する。前段の受信部でベースバンド信号に復調された受信信号はDFF11で再生クロックCLKに同期して出力する。(図3(a))

2は本発明のエラー付加回路、3は後段のベースバンド処理部であり、試験の対象となる誤り訂正部や同期検出部を有する。

【0017】エラー付加回路2は、エラー信号生成部21と、エラー周期設定スイッチ22、エラー長設定スイッチ23、EX-ORゲート24、ANDゲート25、データエラー付加スイッチSW1、フレームエラー付加スイッチSW2 40 とからなる。エラー信号生成部21は、二つのカウンタ21a、21bとSR-FF21cとからなり、再生クロックCLKが入力している。カウンタ21aはエラー周期設定用で、設定スイッチ22から与えられる数値が進数として設定され、再生クロックCLKを計数して設定された進数に達する度にキャリアCRYを出す。このキャリアパルスは第二のカウンタ21bのリセット端子に入力する。第二のカウンタ21bは、その進数がエラー長設定スイッチ24から入力される数値に設定され、リセット信号により再生クロックをカウントアップし、設定された進数になるとキャ

リアを出す。SR-FF21cは、第一のカウンタ21aからのキャリアがセット入力Rに与えられる都度セットされ第二のカウンタ21bのキャリアでリセットされるので、出力としてエラーレート設定スイッチで設定された周期をもち、エラー長設定スイッチで設定されたビット長だけ“H”となるエラー制御信号ECが出力される。(図3(b))

エラー制御信号ECは、二分岐して一方はデータエラー付加用のスイッチSW1を介して、受信データ信号を反転させるEX-ORゲート24に入力し、もう一方はインバータ26を介して反転されたあとフレームエラー付加用のスイッチSW2を介して再生クロックをマスクするANDゲート25に入力する。

【0018】運用時にはデータエラー付加用のスイッチSW1がa側に設定されており、EX-ORゲート24には常時“L”レベルが入力するので、受信データはそのまま通過し誤りが付加されないでベースバンド処理部に供給される。スイッチSW1がb側に設定されると、エラー制御信号ECが“H”の間、受信データが反転してエラービットが付加された信号がベースバンド処理部3に供給される。(図3(c))

また、フレーム誤り付加スイッチSW2をa側に設定すると、再生クロックは歯抜けなしにANDゲート25を通過してベースバンド処理部に供給されるので、正常な動作が行われるが、SW2をb側に設定するとエラー制御信号ECが“H”の間は、ANDゲート25により再生クロックが阻止されて歯抜けクロックCLK'がベースバンド処理部に供給される。(図3(f))

後段のベースバンド処理部における受信信号の取込みは再生クロックCLKまたはCLK'の立下りで行われるので、歯抜けクロックのタイミングのデータビットB4は取り込まれず以後のフレームは1ビット前方にずれるので等価的にフレーム同期パターンに誤りが付加されたことになる。

【0019】次に、上記のエラー付加回路による受信装置の試験方法を説明する。まず誤り訂正機能を試験においては、SW1をb側に設定し、送信装置を受信装置に直結して、所定の試験用送信データを送信装置に与え、設定周期または誤り長さを適宜に変化させながら、受信装置で再生されたデータとを比較する。受信フレームの内の適当なビットが指定周期で値が反転して送信データに誤りが生じる。1フレーム内の誤りビット数が訂正能力以内であれば、送信データは誤り訂正機能によって正しく訂正されることになる。従って、所定のビット誤り率以下で正しいデータが得られれば、誤り訂正機能が正常に動作していることがわかる。

【0020】次に、同期検出保護機能の試験方法を説明する。スイッチSW2をエラー付加側bに設定すると、設定周期でクロックがマスクされて歯抜けクロックが生成される。ベースバンド処理部での受信データの取込み50

5

は、歯抜けクロックで行われるので、歯抜けのタイミングに入力した受信データは欠如して受信ビット列が1ビット前方へ移動する。これにより、それまでのフレーム検出位相に対して1ビットフサーム位相が前方へずれた受信フレームがベースバンド処理部内の同期検出部に入力するので、フレームビット検出位置にフレームビットより1ビット後ろのデータビットが来るため、等価的にはフレームビット誤りとなり、以後、同期フレーム位相におけるフレームビット位置にフレームビットが存在しないデータが継続入力する。

【0021】フレーム検出部の保護部では、フレームビットが誤ったフレームが前方保護段の回数だけ継続すると、新たにフレームビット検出位置をずらしてフレームビットの位置を探す同期復帰動作を行う。そして、同期パターンが見つかったその位置で繰り返して同期パターンの検出を行い、同期パターンの検出回数が後方保護段数に達すると同期がとれた状態となり送信データが正しく再生される。いま、このクロック歯抜け周期が、前方保護段数+同期検出引込み時間+後方保護段数の期間以上の場合は、或る歯抜けタイミングの次に再度クロックの歯抜けが発生する前に同期復帰が行われる。一方で、歯抜け周期が該期間以下の場合には、同期復帰が行われる前に再度フレーム位相が1ビット前方にずれるので永久に同期復帰が行われない。このようにして、フレーム長に対するクロック歯抜け周期を変化させて、何フレー

6

ム周期まで歯抜け周期を変化させると同期復帰がなされるかを調べることにより、設定した前方保護段数+同期検出引込み時間+後方保護段数で、同期検出部が正常に動作するかどうかを試験することができる。

【0022】なお、上述のエラー付加回路は全てデジタル回路で構成されているので、LSI上に構成されるDPLL回路と同一チップ上に構成することが容易であり、受信装置の複雑化することなしにエラー付加回路を実現できる。

10 【0023】

【発明の効果】以上説明したように、本発明によれば、デジタル無線システムの受信装置の誤り訂正機能やフレーム同期検出保護機能が正常に動作するかどうかの試験をが受信系だけを用いて容易に行うことが可能となるという効果がある。

【図面の簡単な説明】

【図1】 本発明のエラー付加回路の原理構成図

【図2】 本発明のエラー付加回路の実施例構成図

【図3】 図2の動作タイムチャート

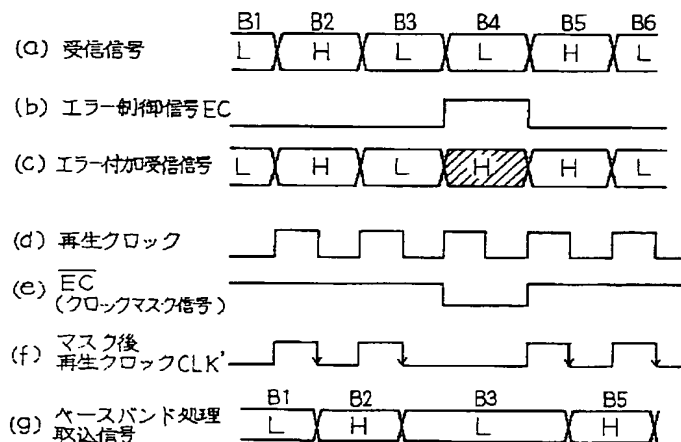
20 【図4】 従来の技術を説明するための図

【符号の説明】

1…DPLL部、2…エラー付加回路、21…エラー制御信号生成部、24…データ反転部（EX-ORゲート）、25…クロックマスク部（ANDゲート）、3…ベースバンド処理部

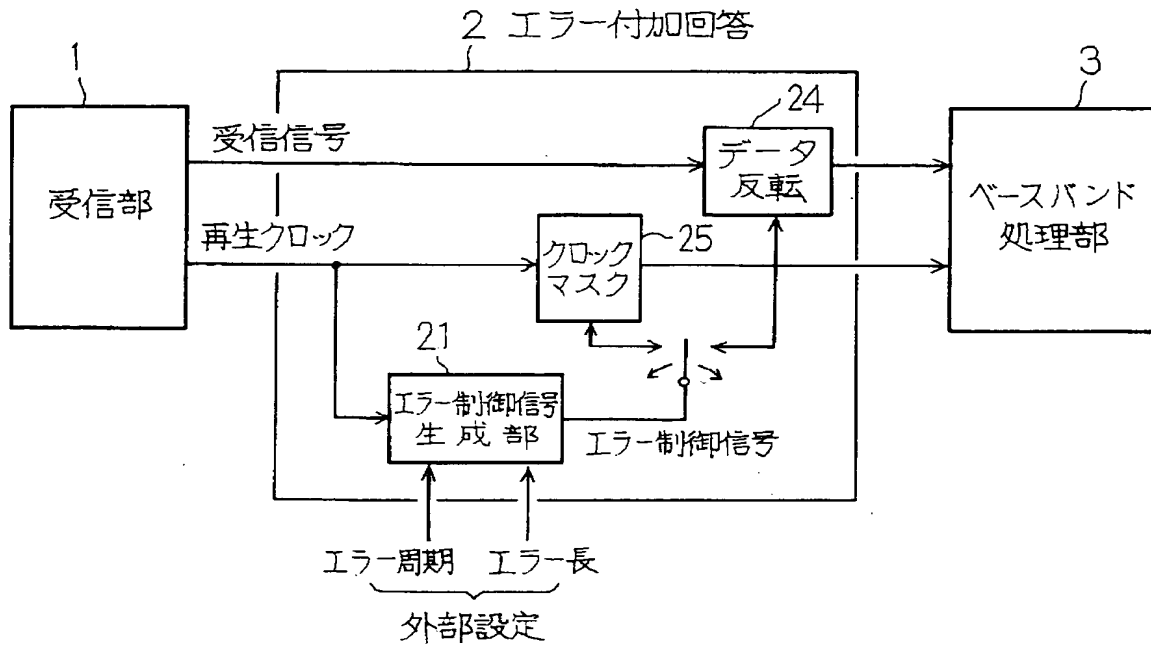
【図3】

図2の動作タイムチャート



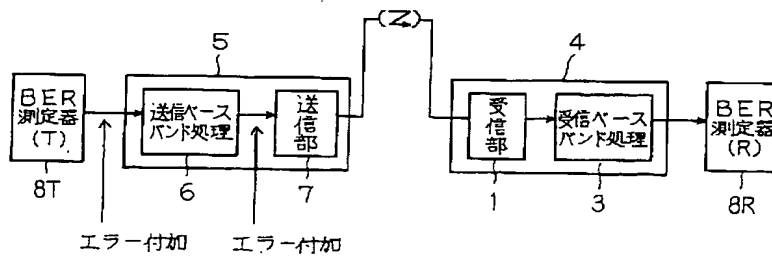
【図1】

本発明のエラー付加回路の原理構成図



【図4】

従来の技術を説明するための図



本発明の実施例構成図

